

Startseite » Mitarbeiter » Archiv » Frank Sill

Frank Sill Torres

Prof. Dr.-Ing. Frank Sill Torres



Forschungsgebiete - Dissertation

Untersuchung und Reduzierung des Leckstroms integrierter Schaltungen in Nanometer-Technologien bei konstanten Performanceanforderungen

Projekte

Publikationen

Christoph Niemann, Tim Wegner, Dirk Timmermann, Frank Sill Torres:
Low Overhead In Situ Aging Monitoring and Proactive Aging Management
 In Proceedings of the International Symposium on Circuits and Systems (ISCAS 2016), pp. 2799-2802, Electronic ISBN: 978-1-4799-5341-7, DOI:10.1109/ISCAS.2016.7539174, Montreal, Kanada, Mai 2016

Cornelius, C.; Sill Torres, F.; Timmermann, D.
 Power-efficient application of Sleep Transistors to enhance the reliability of integrated circuits
 Journal of Low Power Electronics (JOLPE), pp. 552-561, Vol. 7, Nr. 4, Stevenson Ranch, USA, Oktober 2011

Sämrow, H.; Cornelius, C.; Sill, F.; Tockhorn, A.; Timmermann, D.
 Twin Logic Gates - Improved Logic Reliability by Redundancy concerning Gate Oxide Breakdown (Folien)
 SBCCI 2009, pp. 315-320, ISBN: 978-1-60558-705-9, Natal, Brasilien, September 2009

Sämrow, H.; Cornelius, C.; Sill, F.; Tockhorn, A.; Timmermann, D.
 Automated Insertion of Twin Gates to improve Reliability concerning Gate Oxide Breakdown (Folien)
 Conference: SPIE Europe - Microtechnologies for the New Millennium, art. no. 736310, ISBN: 9780819476371, Dresden, Deutschland, Mai 2009

Sämrow, H.; Cornelius, C.; Sill, F.; Tockhorn, A.; Timmermann, D.
 Comparison of Strategies for Redundancy to improve Reliability concerning Gate Oxide Breakdown (Folien)
 Workshop für Testmethoden und Zuverlässigkeit von Schaltungen und Systemen - TuZ 2009, S. 97-102, Bremen, Deutschland, Februar 2009

Cornelius, C.; Sill, F.; Sämrow, H.; Salzmann, J.; Timmermann, D.; da Silva, D.
 Encountering gate oxide breakdown with shadow transistors to increase reliability (Folien)
 21st Symposium on Integrated Circuits and Systems Design (SBCCI), S. 111-116, ISBN: 978-1-60558-231-3, Gramado, Brasilien, September 2008

Sill, F.; Grassert, F.; Cornelius, C.; Timmermann, D.
 A Design Tool for Modeling Asynchronous Dynamic Logic
 Forschung und wissenschaftliches Rechnen: Beiträge zum Heinz-Billing-Preis 2006; GWDG-Bericht Nr. 72, pp. 71-84, Göttingen, Deutschland, November 2007

Salzmann, J.; Sill, F.; Timmermann, D.
 Algorithm for Fast Statistical Timing Analysis (Folien)
 International Symposium on System-on-Chip, pp. 90-93, ISBN: 1-4244-1367-2, Tampere, Finnland, November 2007

Cornelius, C.; Sill, F.; Timmermann, D.
 Modeling the power-reliability tradeoff in on-chip Networks (Folien)
 12. Symposium Maritime Elektrotechnik, Elektronik und Informationstechnik, S. 321-326, Rostock, Deutschland, Oktober 2007

Sill, F.; Cornelius, C.; Timmermann, D.
 Leckstromreduzierung in Nanometer-Technologien ohne Performanceverluste (Folien)
 12. Symposium Maritime Elektrotechnik, Elektronik und Informationstechnik, S. 329-334, Rostock, Deutschland, Oktober 2007

Salomon, R.; Sill, F.
 High-speed, low-leakage integrated circuits: An evolutionary algorithm perspective
 Journal of systems architecture, 2007, Vol. 53, No. 5, S. 321-327, Amsterdam: Elsevier, Niederlande, Mai 2007

Sill, F.; You, J.; Timmermann, D.
 Design of Mixed Gates for Leakage Reduction (Folien)
 2007 Great Lakes Symposium on VLSI (GLSVLSI), S. 263-268, ISBN: 978-1-59593-605-9, Stresa-Lago Maggiore, Italien, März 2007

Salomon, R.; Sill, F.; Timmermann, D.
 Minimizing Leakage: What if every gate could have its individual threshold voltage?
 IASTED Artificial Intelligence and Applications Conference (AIA 2007), Editor: V. Devedzic, S. 492-497, ISBN: 978-0-88986-629-4, Innsbruck, Österreich, Februar 2007

Engel, K.; Kalinowski, T.; Labahn, R.; Sill, F.; Timmermann, D.
 Algorithms for Leakage Reduction with Dual Threshold Design Techniques (Folien)
 International Symposium on System-on-Chip 2006, S. 111-114, ISBN: 1-4244-0621-8, Tampere, Finnland, November 2006

Cornelius, C.; Sill, F.; Timmermann, D.
 High-Level Simulations of On-Chip Networks (Folien)
 9th Euromicro Conference on Digital System Design (DSD 2006), S. 57-58, ISBN: 3-902457-11-2, Cavtat, Kroatien, August 2006

Sill, F.; Cornelius, C.; Kubisch, S.; Timmermann, D.
 Mixed Gates: Leakage Reduction techniques applied to Switches for Networks-on-Chip (Folien)
 Proc. of 2nd Intl. Workshop on Reconfigurable Communication-centric System-on-Chips (ReCoSoC'06) (Top-ten rated Paper), pp. 76-82, ISBN: 2-9517461-2-1, Montpellier, Frankreich, Juli 2006

Sill, F.; Salomon, R.
 Evolving High-Speed, Energy-Efficient Integrated Circuits
 IEEE World Congress on Computational Intelligence (WCCI 2006), pp. 3121-3128, ISBN: 0-7803-9487-9, Vancouver, Kanada, Juni 2006

Sill, F.; Cornelius, C.; Timmermann, D.
 Statistische Analyse des Zeitverhaltens von CMOS Schaltungen und Modellierung von Parametervariationen (Folien)
 18th Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen, S. 117-118, Titisee-Neustadt, Deutschland, März 2006

Salomon, R.; Sill, F.
 Biologically-Inspired Optimization of Circuit Performance and Leakage: A Comparative Study
 Proceedings of the 19th International Conference on Architecture of Computing Systems - ARCS 2006, S. 352-366, ISBN: 3-540-32765-7, Frankfurt, Deutschland, März 2006

Sill, F.; Cornelius, C.; Timmermann, D.
 Reduzierung des Leckstromverbrauchs mit gemischten Gattern in Deep Submicron Technologien (Folien)
 9. Workshop Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen, S. 275-283, ISBN: 3-9810287-1-6, Dresden, Deutschland, Februar 2006

Prüter, S.; Burchardt, H.; Sill, F.; Golasowski, F.; Salomon, R.
 CoolRUNners Team Description Paper for RoboCup Small-Size League 2006
 Participation World Championships 2006, Bremen, Deutschland, Februar 2006

Sill, F.; Timmermann, D.
 Total Leakage Reduction by Observance of Parameter Variations (Folien)
 23rd Norchip Conference, ISBN: 1-4244-0064-3, Oulu, Finnland, November 2005

Sill, F.; Timmermann, D.
 Statistical Static Timing Analysis and Modeling of Parameter Variations
 Herbstworkshop Graduiertenkolleg 466, Schwarzenhof, Deutschland, November 2005

Grassert, F.; Sill, F.; Cornelius, C.; Timmermann, D.
 Verlustleistungsreduzierung bei dynamischen TSPC-Schaltungstechniken (Folien)
 35th GI annual conference: Workshop for the DFG-SPP: VIVA, S. 450, ISBN: 3-88579-396-2, Bonn, Deutschland, September 2005

Sill, F.; Timmermann, D.
 Modeling of Total Parameter Variations (Folien)
 8th Euromicro Conference on Digital System Design, S. 6-7, ISBN: 3-902457-09-0, Porto, Portugal, September 2005

Sill, F.; Grassert, F.; Timmermann, D.
 Total leakage power optimization with improved Mixed Gates (Folien)
 18th Symposium on Integrated Circuits and Systems Design (SBCCI 2005), S. 154 - 159, ISBN: 1-59593-174-0, Florianopolis, Brasilien, September 2005

Engel, K.; Kalinowski, T.; Labahn, R.; Sill, F.; Timmermann, D.
 Optimization of Dual-Threshold Circuits
 Preprint, ISSN 0948-1028, Rostock, Deutschland, Mai 2005

Sill, F.; Timmermann, D.
 Reliability and Energy Dissipation in Ultra Deep Submicron Designs (Folien)
 Workshop Mobilität und Multimedia, Rostock, Deutschland, März 2005

Grassert, F.; Sill, F.; Timmermann, D.
 Low Power dynamische Schaltungstechniken und statische Leakage-Reduzierung (Folien)
 Abschlusskolloquium des DFG-SPP: Grundlagen und Verfahren verlustarmer Informationsverarbeitung, Rostock, Deutschland, Februar 2005

Schröder, D.; Sill, F.; Burchardt, H.; Golasowski, F.; Salomon, R.; Timmermann, D.
 Role-Based Strategies at Example of RoboCup
 Proceedings of the IASTED International Conference on Artificial Intelligence and Applications, S. 585-590, ISBN: 0-88986-459-4, Innsbruck, Austria, Februar 2005

Sill, F.; Grassert, F.; Timmermann, D.
 Reducing Leakage with Mixed-Vth (MVT) (Folien)
 18th Conference on VLSI Design, S. 874-877, ISBN: 0-7695-2264-5, Kolkata, Indien, Januar 2005

Sill, F.; Grassert, F.; Timmermann, D.
 Low Power Gate-level Design with Mixed-Vth (MVT) Techniques (Folien)
 17th Symposium on Integrated Circuits and Systems (SBCCI), S. 278-282, ISBN: 1-58113-947-0, Porto de Galinhas, Brasilien, September 2004

Sill, F.; Grassert, F.; Timmermann, D.
 Reduzierung des Leistungsverbrauchs in Deep Submicron Designs (Folien)
 11. Symposium Maritime Elektrotechnik, Elektronik und Informationstechnik, Rostock, Deutschland, Juni 2004

Sill, F.
 CMOS Low Power Design
 Future Technology Meeting IBM-Deutschland, Böblingen, Deutschland, März 2004

Sill, F.
 Low Power Techniques
 Macro-Meeting IBM-Deutschland, Böblingen, Deutschland, Januar 2004

Sill, F.; Grassert, F.; Wassatsch, A.; Timmermann, D.
 A Design Flow for Asynchronous Dynamic Logic and Standard Synthesis Tools (Folien)
 SNUG 2003 (nominated to receive the Technical Committee award for SNUG, Featured Article on Solvnet), Boston, MA, USA, September 2003

Sill, F.; Grassert, F.; Wassatsch, A.; Timmermann, D.
 Design flow zur Entwicklung Geschwindigkeits- und Leistungsoptimierter Schaltungen (Folien)
 4. IuK-Tage Mecklenburg-Vorpommern, Rostock, Deutschland, Juni 2003

Grassert, F.; Sill, F.; Timmermann, D.
 Verlustleistungsreduzierung in Datenpfaden (Folien)
 4. IuK-Tage Mecklenburg-Vorpommern, Rostock, Deutschland, Juni 2003

[Link zur persönlichen Homepage](#)

Suchbegriff...

Mitarbeitersuche...

Kontakt

Besucher:
 Fakultät für Informatik und
 Elektrotechnik
 Institut für Angewandte
 Mikroelektronik und Datentechnik
 Haus 1, Raum 1207 (Sekretariat)
 Richard Wagner Str. 31
 18 119 Rostock-Warmemünde
 Tel.: +49 381 498 7251
 Fax: +49 381 498 118 7251
 Email
 Postanschrift:
 Universität Rostock
 Institut für Angewandte
 Mikroelektronik und Datentechnik
 18051 Rostock

Schnelleinstieg

- [Publikationen](#)
- [Anfahrt](#)
- [Kontakt](#)
- [Laborpraktikum](#)
- [Lehrangebot](#)
- [Highlights](#)
- [Projekte](#)